

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年 7月 4日

出 願 番 号

Application Number:

特願2000-202833

出 願 人

Applicant(s):

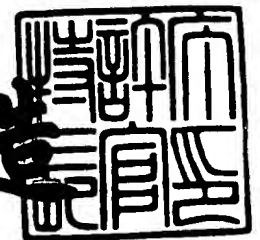
株式会社日本コンピュータ

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 6月22日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3059563

【書類名】 特許願

【整理番号】 KKKP0406

【提出日】 平成12年 7月 4日

【あて先】 特許庁長官 及川 耕造 殿

【発明者】

【住所又は居所】 静岡県浜松市鴨江3丁目46番11号 株式会社日本コ
ンピュータ内

【氏名】 永田 真啓

【特許出願人】

【識別番号】 598018409

【氏名又は名称】 株式会社日本コンピュータ

【代理人】

【識別番号】 100095614

【弁理士】

【氏名又は名称】 越川 隆夫

【電話番号】 053-458-3412

【先の出願に基づく優先権主張】

【出願番号】 特願2000-191025

【出願日】 平成12年 6月26日

【手数料の表示】

【予納台帳番号】 018511

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9910779

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 プログラムロジック装置

【特許請求の範囲】

【請求項 1】

基準クロックを逡倍した高速クロックにより動作する制御用プロセッサと、該制御用プロセッサに信号情報を入力するための入力手段と、該制御用プロセッサの信号情報を信号として出力するための出力手段とを備え、該制御用プロセッサが該高速クロックにより複数の処理を実行している間に、該基準クロックの 1 サイクル内に、該入力手段が該基準クロックに同期して取り込んだ信号の値により制御を決定し、該制御により該出力手段の値を変更することを特徴とするプログラムロジック装置。

【請求項 2】

基準クロックを逡倍した高速クロックにより動作する制御用プロセッサと、該制御用プロセッサに信号情報を入力するための入力手段と、該制御用プロセッサの信号情報を信号として出力するための出力手段とを備え、該制御用プロセッサが該高速クロックにより複数の処理を実行している間に、該基準クロックの所定の複数サイクル内に、該入力手段が該基準クロックに同期して取り込んだ信号の値により制御を決定し、該制御により該出力手段の値を変更することを特徴とするプログラムロジック装置。

【請求項 3】

前記基準クロックに同期して前記出力手段の値を変更することを特徴とする請求項 1 又は請求項 2 記載のプログラムロジック装置。

【請求項 4】

前記制御用プロセッサが前記基準クロックに同期するための遅延機能を有し、該基準クロックの所定の遷移を待って次の制御を行うことを特徴とする請求項 1 ～請求項 3 記載のプログラムロジック装置。

【請求項 5】

前記入力手段が前記基準クロックに同期して取り込んだ信号の値により、前記制御用プロセッサの制御を決定することを特徴とする請求項 1 ～請求項 4 記載の

プログラムロジック装置。

【請求項 6】

あらかじめ所定の比較値を記憶しておくための比較値記憶手段と、該比較値と前記入力手段が前記基準クロックに同期して取り込んだ信号の値とを比較する比較器とを有する比較手段を備え、該比較器の比較結果により、前記制御用プロセッサの制御内容を決定することを特徴とする請求項 1 ～請求項 5 記載のプログラムロジック装置。

【請求項 7】

あらかじめ所定の比較値を記憶しておくための比較値記憶手段と、前記入力手段が前記基準クロックに同期して取り込んだ信号の値を演算してセットする前処理手段と、該比較値と該前処理手段がセットした値とを比較する比較器とを有する比較手段を備え、該比較器の比較結果により、前記制御用プロセッサの制御内容を決定することを特徴とする請求項 1 ～請求項 5 記載のプログラムロジック装置。

【請求項 8】

前記入力手段が前記基準クロックに同期して取り込んだ信号の値が所定の値になるまで待って、該所定の値により定めた制御を行うことを特徴とする請求項 1 ～請求項 4 記載のプログラムロジック装置。

【請求項 9】

前記基準クロックのサイクル数が待ち状態以降所定個数以上に達したことにより待ち状態を解除することを特徴とする請求項 8 記載のプログラムロジック装置。

【請求項 1 0】

前記制御用プロセッサが自らの制御で待ち状態を解除することを特徴とする請求項 8 記載のプログラムロジック装置。

【請求項 1 1】

前記入力手段が取り込んだ信号の値が所定の値になったことにより待ち状態を解除することを特徴とする請求項 8 記載のプログラムロジック装置。

【請求項 1 2】

前記入力手段が前記基準クロックに同期して取り込んだ信号の値により、前記制御用プロセッサに対し、該基準クロックに同期した割り込みを発生することを特徴とする請求項 1 ～請求項 4 記載のプログラムロジック装置。

【請求項 1 3】

あらかじめ所定の比較値を記憶しておくための比較値記憶手段と、該比較値と前記入力手段が前記基準クロックに同期して取り込んだ信号の値とを比較する比較器とを有する比較手段を備え、該比較器の比較結果により、前記制御用プロセッサに対し、該基準クロックに同期した割り込みを発生することを特徴とする請求項 1 ～請求項 4 記載のプログラムロジック装置。

【請求項 1 4】

あらかじめ所定の比較値を記憶しておくための比較値記憶手段と、前記入力手段が前記基準クロックに同期して取り込んだ信号の値を演算してセットする前処理手段と、該比較値と該前処理手段がセットした値とを比較する比較器とを有する比較手段を備え、該比較器の比較結果により、前記制御用プロセッサに対し、該基準クロックに同期した割り込みを発生することを特徴とする請求項 1 ～請求項 4 記載のプログラムロジック装置。

【請求項 1 5】

前記比較器の比較結果により、前記制御用プロセッサへの割り込み先を変えることを特徴とする請求項 1 2 ～請求項 1 4 記載のプログラムロジック装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、プログラムによって外部の信号を入出力可能なプログラムロジック装置に関する。

【0 0 0 2】

【従来の技術】

従来より、制御用プロセッサとしてのマイクロプロセッサが各種電子装置に組み込まれ、装置全体の制御を行うための組み込み制御装置として多く利用されている。マイクロプロセッサは、装置内部でプログラマブルなシーケンスを実行し

ている。

【0003】

こうしたマイクロプロセッサには、P I O (peripheral input-output) と呼ばれる入出力端子を持っている。マイクロプロセッサがP I Oを制御するためのレジスタやメモリマップの変更を行うことで、外部と接続された入出力ピンから、デジタル情報を取り込んだり出力したりすることができる。即ち、マイクロプロセッサはP I Oを通して外部の信号状態を取り込んだり、外部に信号及び信号パターンを出力することができる。また、P I Oは、マイクロプロセッサの制御により、プログラマブルに入力端子又は出力端子に変更することができる。

【0004】

マイクロプロセッサは、そのプロセッサのために作られたクロックを基に動作している。それに対し、P I O等の制御すべき入出力ピンの先で発生する事象は、マイクロプロセッサのクロックには同期していない。

【0005】

【発明が解決しようとする課題】

しかしながら、マイクロプロセッサにおけるP I Oの入出力制御には、入出力ピンに接続されている外部の論理を決定する時間単位の基準クロックと同期をとるための機構が用意されていない。このため、マイクロプロセッサの制御の分岐は、マイクロプロセッサの処理結果に基づく内部条件で発生しており基準クロックに同期することができず、入出力ピンを介した基準クロックに同期した外部の論理構成との情報のやりとりを正しく行うことは困難である。

【0006】

また、割り込みにより入力ピンの情報をプログラムの動作に反映させることはできるものの、割り込みジャンプ機能は、割り込み要求を受け付ける入力信号の変化に対して非同期で反応し、命令実行アドレスを変更するものである。このため、該クロックとは非同期であり、割り込みタイミングを用いて、基準クロックに同期した外部の論理構成との情報のやりとりを正しく行うことは困難である。

また、複合的な条件による割り込みが困難で、入力させる事ができたとしても、割り込み発生後原因特定作業が必要であり、プログラムの処理が煩雑で遅延の

原因になる。

【0007】

本発明は、このような事情に鑑みてなされたもので、基準クロックに同期して動作する制御用プロセッサに接続された論理構成との情報のやりとりを正しく行うことができるプログラムロジック装置を提供することにある。

【0008】

【課題を解決するための手段】

請求項1記載のプログラムロジック装置は、基準クロックを逡倍した高速クロックにより動作する制御用プロセッサと、制御用プロセッサに信号情報を入力するための入力手段と、制御用プロセッサの信号情報を信号として出力するための出力手段とを備え、制御用プロセッサが高速クロックにより複数の処理を実行している間に、基準クロックの1サイクル内に、入力手段が基準クロックに同期して取り込んだ信号の値により制御を決定し、制御により出力手段の値を変更することを特徴とする。

【0009】

請求項2記載のプログラムロジック装置は、基準クロックを逡倍した高速クロックにより動作する制御用プロセッサと、制御用プロセッサに信号情報を入力するための入力手段と、制御用プロセッサの信号情報を信号として出力するための出力手段とを備え、制御用プロセッサが高速クロックにより複数の処理を実行している間に、基準クロックの所定の複数サイクル内に、入力手段が基準クロックに同期して取り込んだ信号の値により制御を決定し、制御により出力手段の値を変更することを特徴とする。

【0010】

請求項3記載のプログラムロジック装置は、基準クロックに同期して出力手段の値を変更することを特徴とする。

【0011】

請求項4記載のプログラムロジック装置は、制御用プロセッサが基準クロックに同期するための遅延機能を有し、基準クロックの所定の遷移を待つて次の制御を行うことを特徴とする。

【 0 0 1 2 】

請求項 5 記載のプログラムロジック装置は、入力手段が基準クロックに同期して取り込んだ信号の値により、制御用プロセッサの制御を決定することを特徴とする。尚、請求項 5 に示す制御とは、請求項 1 示す出力手段の値を変更するための制御とは異なるものとする。

【 0 0 1 3 】

請求項 6 記載のプログラムロジック装置は、あらかじめ所定の比較値を記憶しておくための比較値記憶手段と、比較値と入力手段が基準クロックに同期して取り込んだ信号の値とを比較する比較器とを有する比較手段を備え、比較器の比較結果により、制御用プロセッサの制御内容を決定することを特徴とする。

【 0 0 1 4 】

請求項 7 記載のプログラムロジック装置は、あらかじめ所定の比較値を記憶しておくための比較値記憶手段と、入力手段が基準クロックに同期して取り込んだ信号の値を演算してセットする前処理手段と、比較値と前処理手段がセットした値とを比較する比較器とを有する比較手段を備え、比較器の比較結果により、制御用プロセッサの制御内容を決定することを特徴とする。

【 0 0 1 5 】

請求項 8 記載のプログラムロジック装置は、入力手段が基準クロックに同期して取り込んだ信号の値が所定の値になるまで待って、該所定の値により定めた制御を行うことを特徴とする。

【 0 0 1 6 】

請求項 9 記載のプログラムロジック装置は、基準クロックのサイクル数が待ち状態以降所定個数以上に達したことにより待ち状態を解除することを特徴とする。

【 0 0 1 7 】

請求項 1 0 記載のプログラムロジック装置は、制御用プロセッサが自らの制御で待ち状態を解除することを特徴とする。

【 0 0 1 8 】

請求項 1 1 記載のプログラムロジック装置は、入力手段が取り込んだ信号の値

が所定の値になったことにより待ち状態を解除することを特徴とする。

【0019】

請求項12記載のプログラムロジック装置は、入力手段が基準クロックに同期して取り込んだ信号の値により、制御用プロセッサに対し、基準クロックに同期した割り込みを発生することを特徴とする。

【0020】

請求項13記載のプログラムロジック装置は、あらかじめ所定の比較値を記憶しておくための比較値記憶手段と、比較値と入力手段が基準クロックに同期して取り込んだ信号の値とを比較する比較器とを有する比較手段を備え、比較器の比較結果により、制御用プロセッサに対し、基準クロックに同期した割り込みを発生することを特徴とする。

【0021】

請求項14記載のプログラムロジック装置は、あらかじめ所定の比較値を記憶しておくための比較値記憶手段と、入力手段が基準クロックに同期して取り込んだ信号の値を演算してセットする前処理手段と、比較値と前処理手段がセットした値とを比較する比較器とを有する比較手段を備え、比較器の比較結果により、制御用プロセッサに対し、基準クロックに同期した割り込みを発生することを特徴とする。

【0022】

請求項15記載のプログラムロジック装置は、比較器の比較結果により、制御用プロセッサへの割り込み先を変えることを特徴とする。

【0023】

【発明の実施の形態】

以下、本発明の形態について図面を参照しながら具体的に説明する。図1～図6は第1の実施の形態を示す図面であり、図7は第2の実施の形態を示す図面であり、図8及び図9は第3の実施の形態を示す図面であり、図10は第4の実施の形態を示す図面である。

【0024】

(実施の形態1)

図 1 は本発明に係わるプログラムロジック装置の第 1 の実施の形態を示す構成図である。図 2 は同クロック図、図 3 は同要部フローチャート、図 4 は同タイミング図である。図 5 は同第 1 の実施の形態の別の例を示す要部フローチャート、図 6 は同第 1 の実施の形態の別の例を示すタイミング図である。

【 0 0 2 5 】

図 1 ～図 4 において、プロセッサ 1 0 は、各種電子装置の制御を行う制御用プロセッサとしてのマイクロプロセッサである。プロセッサ 1 0 は、ソフトウェアによるプログラマブルなシーケンス（制御）を実行する。プロセッサ 1 0 が具体的に実行するプログラム（制御の具体的内容の記述）は、プロセッサ 1 0 内部に設けられた記憶手段又はバス 1 1 を介して接続されたメモリ等の記憶手段（図示せず）に格納されており、プロセッサ 1 0 はそれら記憶手段から随時プログラムを読み出して制御を実行していく。

【 0 0 2 6 】

P I O 2 0 は、peripheral input-output の略であり、プロセッサ 1 0 の外部の論理構成との信号（デジタル情報）をやりとりするための入力手段であり出力手段である。ここで言う論理構成とは、P I O 2 0 の外部に接続可能な電子回路を一般的に指しており、P I O 2 0 との間で電子的に信号のやりとりができれば、その形態に限りがあるものではない。論理構成の具体例としては、各種論理デバイス及び論理装置、各種パラレルインターフェース及びパラレルバス、各種シリアルインターフェース及びシリアルバス、各種デジタル表示機器等がある。各種論理デバイス及び論理装置の例としては、A S I C、外部マイクロプロセッサ、F P G A、P L D 等がある。各種パラレルインターフェース及びパラレルバスの例としては、P C I バス、S C S I バス、A T A バス、P C カードバス、I E E E 1 2 8 4 等がある。各種シリアルインターフェース及びシリアルバスの例としては、I 2 C バス、M U S E バス、3 w i r e - s e r i a l、4 w i r e - s e r i a l 等がある。各種デジタル表示機器の例としては、L C D、P D P 等がある。

【 0 0 2 7 】

P I O 2 0 の構成は、O N / O F F 可能な出力のためのバッファ 2 0 a、入力

のためのバッファ20b、入出力端子であるPIOピン24により構成されている。プロセッサ10は、PIO20とバス11を介して接続されており、PIO20との情報のやりとりは、PIO方向レジスタ21、PIO出力レジスタ22、PIO入力レジスタ23を介して行う。PIO入力レジスタ23は、バッファ20bの状態を反映している。PIO出力レジスタ22は、バッファ20aの状態を反映しており、PIO方向レジスタ21は、バッファ20aのON/OFF制御用の端子に接続されている。尚、レジスタとは、情報をいったん記憶し、適時その内容が利用できるように構成したもので、メモリマップ上のアドレス領域にマッピングされたものであってもよい。

【0028】

プロセッサ10は、PIO20を介して信号を読みとる場合は、レジスタ上の情報を読み出す命令によりPIO入力レジスタ23の内容を読み出すことで、入力された信号を読むことができる。PIO入力レジスタ23には、基準クロックSCLKが接続されており、PIO入力レジスタ23は、基準クロックSCLKに同期して確定される。本実施例においては、基準クロックSCLKの立ち上がりで確定されるものとするがこれに限られるものではない。また、PIO出力レジスタ22に直接基準クロックSCLKを接続してもよい。プロセッサ10が、PIO20を介して信号を出力する場合には、まず、レジスタ上に情報を書き込む命令により、PIO方向レジスタ21にバッファ20aをONするための情報を書き込む。次に、レジスタ上に情報を書き込む命令により、PIO出力レジスタ22に出力する情報を書き込み、PIOピン24に所定の出力を行わせる。尚、PIOピン24、バッファ20a、20bは複数用意され、1ビット毎又は複数ビット毎に入出力可能である。

【0029】

尚、本実施例においては、いずれの実施の形態においてもPIO20を用いた場合について記載している。しかしながらプロセッサ10が情報のやりとりをするために使用する入出力インターフェースとしてはPIO20に限られるものではない。他の形態としては、PIOピン24のように入出力の両方を兼ねた端子ではなく入力又は出力を単独で行うピンを備えた入出力インターフェースであっ

てもいいし、入出力インターフェースを用いることなく、プロセッサ10に設けられた入出力ピンを用いるものであってもよい。

【0030】

プロセッサ10の動作するためのクロックは、PIO入力レジスタ23に接続され、また外部の論理構成の動作の基準となっている基準クロックSCLKを元に生成された高速クロックHCLKが使用される。高速クロックHCLKは、図2に示すように、本実施例においては基準クロックSCLKを6通倍している。通倍は、プロセッサ10内部で行う他に、プロセッサ10の外部でハード的に行ってもよい。

【0031】

次に、実施の形態1におけるプログラムロジック装置の動作を説明する。尚、プログラムロジック装置とは、プログラムによって外部の信号を入出力可能な装置全体を指しており、本実施例の場合はプロセッサ10、PIO20、バス11等により構成されている。また、プログラムロジック装置をステートマシンとして見ることも可能である。ここでいうステートマシンとは、論理回路により構成される装置（システム）における制御回路全般に用いられるもので、一連の定義されたシーケンス（制御）を実行するための回路である。

【0032】

まず、プロセッサ10は、図4に示すように、基準クロックSCLKに同期して1サイクル目の命令実行COMMANDを行い、基準クロックSCLKに同期してPIO20のデータの取り込みを行う。これによりPIO入力INPUTがプロセッサ10の内部で確定される（図3におけるS101）。次に、プロセッサ10は、2サイクル目の動作として、確定されたPIO入力INPUTの値によりあらかじめ定められた演算を選択し実行する（図3におけるS102）。次に、プロセッサ10は、3サイクル目の動作として、演算結果を基にPIO出力OUTPUTをセットし、PIOピン24から、演算結果を出力させる（図3におけるS103）。この場合には、図4に示すように、PIO出力OUTPUTは、確定入力（基準クロックSCLKに同期）があってから、見かけ上のディレイを伴って確定出力となる。

【0033】

また、図5及び図6に示すように、PIO出力OUTPUTの確定出力を基準クロックSCLKに同期させることも可能である（図5におけるS113）。本実施例においては、基準クロックSCLKを6週倍することにより、基準クロックSCLKの1サイクルの中で、入力確定と出力確定を可能としている。しかしながら、外部の論理構成との関係で、基準クロックSCLKの1サイクル以内に出力の確定を行うことが適切ではない場合も存在する。この場合は、任意に定めた数の基準クロックSCLKを待って、出力の確定を行ってもよい。プロセッサ10は、出力の確定のための演算を終えてしまえば、他の制御に移行することが可能である。

【0034】

本実施の形態によれば、プロセッサ10が高速クロックHCLKにより複数の処理を実行している間に、基準クロックSCLKの1サイクル内に、PIO20が基準クロックSCLKに同期して取り込んだ信号の値により制御を決定し、該制御によりPIO20の出力の値を変更することができる。このため、基準クロックSCLKに同期した論理を確定させることができる。すなわち、基準クロックSCLKに同期して動作するプロセッサ10に接続された論理構成との情報のやりとりを正しく行うことができる。

【0035】

また、基準クロックSCLKに同期してPIO20の出力の値を変更することができることから、基準クロックSCLKに同期して動作するプロセッサ10に接続された論理構成との情報のやりとりをより確実に行うことができる。

【0036】

また、プロセッサ10は、基準クロックの1サイクル内に少なくとも1つの命令からなるシーケンスを記述できるため、アセンブラ、C、C++、JAVA等の逐次実行用言語を使用して接続された論理構成との情報のやりとりをより確実に行うことができる。また、これらの言語表現により、ステートマシンを構築することができる。

【0037】

(実施の形態 2)

図 7 は、本発明に係わるプログラムロジック装置の第 2 の実施の形態を示す要部フローチャートである。

【 0 0 3 8 】

プロセッサ 1 0 は、基準クロック S C L K に同期するための遅延機能を有し、基準クロック S C L K の所定の遷移を待って次の制御を行うことが可能な構成を有している。具体的な遅延機能としては、例えばプログラムにより遅延機能を達成する方法がある。図 7 の S 2 0 2 に示すような、基準クロック S C L K に同期した遅延分岐命令 `wait_clk` をプログラムで実現させる。処理 (1) S 2 0 1 を終了した後、次の基準クロック S C L K の立ち上がりが来るまで、遅延分岐命令 `wait_clk` はループを繰り返し (S 2 0 2)、立ち上がりが来たところで次の制御である処理 (2) S 2 0 3 に移る。尚、遅延のためのループから抜けるための基準クロック S C L K の遷移は、立ち上がりだけに限られず、立ち下がりであってもいい。また、立ち上がり及び立ち下がりが何回かあった後に、基準クロック S C L K の遷移に同期して、ループを抜けてもよい。

【 0 0 3 9 】

尚、ループ中にプロセッサ 1 0 は真に待機状態であってもいいし、他の制御を遅延の裏側で並行して行ってもよい。処理 (2) S 2 0 3 で実行される制御は、ループに入る以前又はループ内で行われた制御とは異なる制御が選択され実行される場合が標準的である。

【 0 0 4 0 】

本実施の形態 2 によれば、プロセッサ 1 0 が基準クロック S C L K に同期するための遅延機能を有し、基準クロック S C L K の遷移を待って次の制御を行うように構成することにより、基準クロック S C L K に同期した制御ができる。また、P I O 2 0 が基準クロック S C L K に同期して取り込んだ信号の値により、プロセッサ 1 0 の制御内容を決定する。このため、基準クロック S C L K に同期して制御の分岐が可能である。

【 0 0 4 1 】

(実施の形態 3)

図 8 は本発明に係わるプログラムロジック装置の第 3 の実施の形態を示す構成図、図 9 は同要部フローチャートである。

【 0 0 4 2 】

図 8 において、比較器 3 0 は P I O 入力レジスタ 2 3 を介して P I O 2 0 から入力された値と、あらかじめプロセッサ 1 0 により、比較値記憶手段である比較レジスタ 3 2 に格納された値を比較するための比較手段である。P I O 入力レジスタ 2 3 に確定入力された値は、比較のために条件設定レジスタ 3 1 に格納される。比較器 3 0 は P I O 2 0 により取り込まれた値を、条件設定レジスタ 3 1 を介して読むことになる。比較器 3 0 は、条件設定レジスタ 3 1 の値と比較レジスタ 3 2 の値とを比較して、その結果を条件フラグ 3 3 に格納する。条件設定レジスタ 3 1、比較レジスタ 3 2 及び条件フラグ 3 3 は、P I O 方向レジスタ 2 1 等のレジスタ同様に、バス 1 1 を介してプロセッサ 1 0 により参照・変更等のアクセスが可能である。

【 0 0 4 3 】

次に、本実施の形態 3 におけるプログラムロジック装置の動作を説明する。まず、図 9 に示すように、プロセッサ 1 0 は比較対象となる P I O ピン 2 4 を選択する (S 3 0 1) 。選択する P I O ピン 2 4 は、1 つであってもいいし複数であってもいい。次に条件の対象となる P I O ピン 2 4 を指定する (S 3 0 2) 。この指定では、対象を選び出すだけでなく、選び出したビットの列びを条件設定レジスタ 3 1 に整理して配置し、連続したビットパターンとして比較しやすくする機能を備えてもよい。整理して配置する場合には、所定の論理演算器を通してパターンを作り出し、列びを条件設定レジスタ 3 1 に格納することもできる。すなわち、条件設定レジスタ 3 1 は前処理手段としての機能を備えている。該論理演算器は固定的ハードウェアロジックであってもいいし、演算内容を変更できる P L D であってもよい。条件設定レジスタ 3 1 に格納される情報は、P I O 入力レジスタ 2 3 を介していることから、基準クロック S C L K に同期した値となる。

【 0 0 4 4 】

次に、比較の元の条件対象となる値を比較レジスタ 3 2 に書き込む (S 3 0 3) 。尚、条件設定レジスタ 3 1 に格納される値は、P I O 入力レジスタ 2 3 から

直接格納される場合に限られるものではなく、P I O 入力レジスタ 2 3 の値を元にプロセッサ 1 0 が演算を行い、演算の結果を条件設定レジスタ 3 1 に格納してもよい。また、条件設定レジスタ 3 1 により加工されたパターンは、バス 1 1 を通して P I O 2 0 の出力パターンとすることも可能である。

【 0 0 4 5 】

条件設定レジスタ 3 1 及び比較レジスタ 3 2 からの値により、比較器 3 0 は比較演算を行い、結果を条件フラグ 3 3 に反映させる。プロセッサ 1 0 は、条件フラグ 3 3 の条件を利用した制御の変更を行うまで (S 3 0 5) に他の処理 (1) S 3 0 4 を行っているもよく、条件フラグ 3 3 の所望の変化により C J _ C L K (S 3 0 5) のループを抜け、処理 (2) S 3 0 6 に制御を移行させる。

【 0 0 4 6 】

尚、条件フラグ 3 3 のフラグの形態は、ビットパタンが完全に一致した場合の一致フラグに限らず、その部分的一致又は大小による比較であってもいいし、比較の方法により限定されるものではない。

【 0 0 4 7 】

また、条件フラグ 3 3 のセットされる値により、次に行う制御を変えることが可能である。すなわち、P I O 2 0 の基準クロック S C L K に同期した入力値の具体的なパターンにより、基準クロック S C L K に同期して制御を切り替えることが可能である。

【 0 0 4 8 】

本実施の形態 3 によれば、条件設定レジスタ 3 1 及び比較器 3 0 を備えることから、例えばプロセッサ 1 0 では基準クロック S C L K の 1 サイクル内に処理しきれないような複雑な比較演算であっても、高速に処理可能な条件設定レジスタ 3 1 や比較器 3 0 を用いて比較演算することで、プロセッサ 1 0 は限られた高速クロック H C L K のクロック数で基準クロック S C L K に同期して定めた制御を行うことができる。

【 0 0 4 9 】

C J _ C L K (S 3 0 5) のループにいったん入った後、いつまでたっても期待する条件フラグ 3 3 がセットされない場合には、フラグ待ち状態を続けること

になってしまう。これに対処する方法がいくつか考えられる。第1は、プロセッサ10が自分自身による制御により、待ち状態を解除する方法である。具体的には、待ち状態になった後にプロセッサ10内部でカウンタをスタートさせ、カウントアップにより、待ち状態を解除する方法等が考えられる。

【0050】

第2は、待ち状態になった後の基準クロックSCLKの個数をカウントしておき、所定の数に達した後に待ち状態を解除する方法である。

【0051】

第3は、待っているPIO20のビットパターンがある条件を満たした場合に待ち状態を解除する方法である。ここで、ある条件とは、該ビットパターンが所定の形になるか、所定の範囲内になるか、又はそれらが入力される回数が所定以上になるか等がある。尚、ビットパターンを構成するPIOピン24は、どのピンであってもかまわない。いずれの場合においても、エラー処理の高速化に寄与するものである。また、第2及び第3の方法によれば、エラー処理の起点をハードにより発生させることができることから、処理が高速であると共に、プログラムの複雑化を回避し、制御の負担を軽減させることができる。

【0052】

(実施の形態4)

図10は、本発明に係わるプログラムロジック装置の第4の実施の形態を示す構成図である。

【0053】

図10において、条件割込先テーブル35には、比較器30による比較結果により選択される割込先の情報が格納されている。条件割込先テーブル35に対して、比較器30から所定の割込を発生させるべき結果が送られて来た場合、条件割込先テーブル35はその結果に該当する割込を発生する。尚、割込先はプロセッサ10であってもいいし、バス11上に接続された他のデバイス（他のプロセッサ）であっても構わない。比較器30から所定の割込を発生させるべき結果は、実施の形態3と同様に、ビットパターンが完全に位置した場合の一致フラグに限らず、その部分的な一致又は大小による比較であってもいいし、比較の方法により

限定されるものではない。尚、条件設定レジスタ 3 1 及び比較レジスタ 3 2 は実施の形態 3 と同様なので説明を省略する。

【 0 0 5 4 】

本実施の形態 4 によれば、P I O 2 0 が基準クロック S C L K に同期して取り込んだ信号の値により、プロセッサ 1 0 に対し、基準クロック S C L K に同期した割り込みを発生する。このため、基準クロック S C L K に同期した割り込みのタイミングを用いて、基準クロック S C L K に同期した論理構成との情報のやりとりを正しく行うことができる。

【 0 0 5 5 】

また、P I O 2 0 が基準クロック S C L K に同期して取り込んだ信号の値により、プロセッサ 1 0 への割り込み先を変えることにより、同期して確定した入力パターンにより割り込み先の制御を選択できると共に、プログラムによる割り込み発生原因特定作業を行うことなく容易に所定の制御に移行することができ、プログラムの高速化を容易に実現することができる。

【 0 0 5 6 】

また、条件設定レジスタ 3 1 及び比較器 3 0 を備えることから、例えばプロセッサ 1 0 では基準クロック S C L K の 1 サイクル内に処理しきれないような複雑な比較演算であっても、高速に処理可能な条件設定レジスタ 3 1 や比較器 3 0 を用いて比較演算することで、プロセッサ 1 0 は限られた高速クロック H C L K のクロック数で基準クロック S C L K に同期して定めた制御を行うことができ、割込に対する対処が可能である。

【 0 0 5 7 】

尚、実施の形態 1 ～ 4 における、プロセッサ 1 0 、バス 1 1 、P I O 2 0 、比較器 3 0 等を 1 つのパッケージの中に収納し、プログラムロジック装置の小型化を図ることも可能である。

【 0 0 5 8 】

また、プログラムロジック装置内のプロセッサ 1 0 は、1 つに限られるものではなく、複数のプロセッサを備えていてもよい。

【 0 0 5 9 】

【発明の効果】

請求項 1 記載の発明によれば、制御用プロセッサが高速クロックにより複数の処理を実行している間に、基準クロックの 1 サイクル内に、入力手段が基準クロックに同期して取り込んだ信号の値により制御を決定し、該制御により出力手段の値を変更することができる。このため、基準クロックに同期した論理を確定させることができる。すなわち、基準クロックに同期して動作する制御用プロセッサに接続された論理構成との情報のやりとりを正しく行うことができる。

また、制御用プロセッサは、基準クロックの 1 サイクル内に少なくとも 1 つの命令からなるシーケンスを記述できるため、逐次実行用言語を使用することも可能である。

【0060】

請求項 3 記載の発明によれば、基準クロックに同期して出力手段の値を変更することができることから、基準クロックに同期して動作する制御用プロセッサに接続された論理構成との情報のやりとりをより確実に行うことができる。

【0061】

請求項 4 記載の発明によれば、制御用プロセッサが基準クロックに同期するための遅延機能を有し、基準クロックの遷移を待って次の制御を行うように構成することにより、基準クロックに同期した制御ができる。

【0062】

請求項 5 記載の発明によれば、入力手段が基準クロックに同期して取り込んだ信号の値により、制御用プロセッサの制御内容を決定する。このため、基準クロックに同期して制御の分岐が可能である。

【0063】

請求項 6 記載の発明によれば、比較値と入力手段が基準クロックに同期して取り込んだ信号の値とを比較する比較器を備えることから、複雑な比較演算を制御用プロセッサが行う必要がなく、限られたクロック数で基準クロックに同期して、定めた制御を行うことができる。

【0064】

請求項 7 記載の発明によれば、入力手段が基準クロックに同期して取り込んだ

信号の値を演算してセットする前処理手段と、比較値と入力手段が基準クロックに同期して取り込んだ信号の値とを比較する比較器を備えることから、より複雑な比較演算を制御用プロセッサが行う必要がなく、限られたクロック数で基準クロックに同期して、定めた制御を行うことができる。

【 0 0 6 5 】

請求項 8 記載の発明によれば、入力手段が基準クロックに同期して取り込んだ信号の値が所定の値になるまで待って、該所定の値により定めた制御を行うことにより、基準クロックに同期して該所定の値により定めた制御を行うことができる。

【 0 0 6 6 】

請求項 9 記載の発明によれば、基準クロックのサイクル数が待ち状態以降所定個数以上に達したことにより待ち状態を解除することにより、入力手段が基準クロックに同期して取り込んだ信号の値がいつまで経っても所定の値に一致しない場合であっても、制御用プロセッサが次の制御に移行でき、高速でエラー対処が可能である。

【 0 0 6 7 】

請求項 1 0 記載の発明によれば、制御用プロセッサが自らの制御で待ち状態を解除することにより、入力手段が基準クロックに同期して取り込んだ信号の値がいつまで経っても所定の値に一致しない場合であっても、制御用プロセッサが次の制御に移行でき、高速でエラー対処が可能である。

【 0 0 6 8 】

請求項 1 1 記載の発明によれば、入力手段が取り込んだ信号の値が所定の値になったことにより待ち状態を解除することにより、入力手段が基準クロックに同期して取り込んだ信号の値がいつまで経っても所定の値に一致しない場合であっても、制御用プロセッサが次の制御に移行でき、高速でエラー対処が可能である。

【 0 0 6 9 】

請求項 1 2 記載の発明によれば、入力手段が基準クロックに同期して取り込んだ信号の値により、制御用プロセッサに対し、基準クロックに同期した割り込み

を発生する。このため、基準クロックに同期した割り込みのタイミングを用いて、基準クロックに同期した論理構成との情報のやりとりを正しく行うことができる。

【 0 0 7 0 】

請求項 1 3 記載の発明によれば、比較値と入力手段が基準クロックに同期して取り込んだ信号の値とを比較する比較器を備えることから、複雑な比較演算を制御用プロセッサが行う必要がなく、限られたクロック数で基準クロックに同期して、定めた制御を行うことができる。

【 0 0 7 1 】

請求項 1 4 記載の発明によれば、入力手段が基準クロックに同期して取り込んだ信号の値を演算してセットする前処理手段と、比較値と入力手段が基準クロックに同期して取り込んだ信号の値とを比較する比較器を備えることから、より複雑な比較演算を制御用プロセッサが行う必要がなく、限られたクロック数で基準クロックに同期して、定めた制御を行うことができる。

【 0 0 7 2 】

請求項 1 5 記載の発明によれば、入力手段が基準クロックに同期して取り込んだ信号の値により、制御用プロセッサへの割り込み先を変えることにより、同期して確定した入力パターンにより割り込み先の制御を選択できると共に、プログラムによる割り込み発生原因特定作業を行うことなく容易に所定の制御に移行することができる、プログラムの高速化を容易に実現することができる。

【図面の簡単な説明】

【図 1】

本発明に係わるプログラムロジック装置の第 1 の実施の形態を示す構成図である。

【図 2】

同クロック図である。

【図 3】

同要部フローチャートである。

【図 4】

同タイミング図である。

【図 5】

同第 1 の実施の形態の別の例を示す要部フローチャートである。

【図 6】

同第 1 の実施の形態の別の例を示すタイミング図である。

【図 7】

本発明に係わるプログラムロジック装置の第 2 の実施の形態を示す要部フローチャートである。

【図 8】

本発明に係わるプログラムロジック装置の第 3 の実施の形態を示す構成図である。

【図 9】

同要部フローチャートである。

【図 1 0】

本発明に係わるプログラムロジック装置の第 4 の実施の形態を示す構成図である。

【符号の説明】

1 0 プロセッサ
2 0 P I O
2 1 P I O 方向レジスタ
2 2 P I O 出力レジスタ
2 3 P I O 入力レジスタ
2 4 P I O ピン
3 0 比較器
3 1 条件設定レジスタ
3 2 比較レジスタ
3 3 条件フラグ
3 5 条件割込先テーブル
S C L K 基準クロック

HCLK 高速クロック

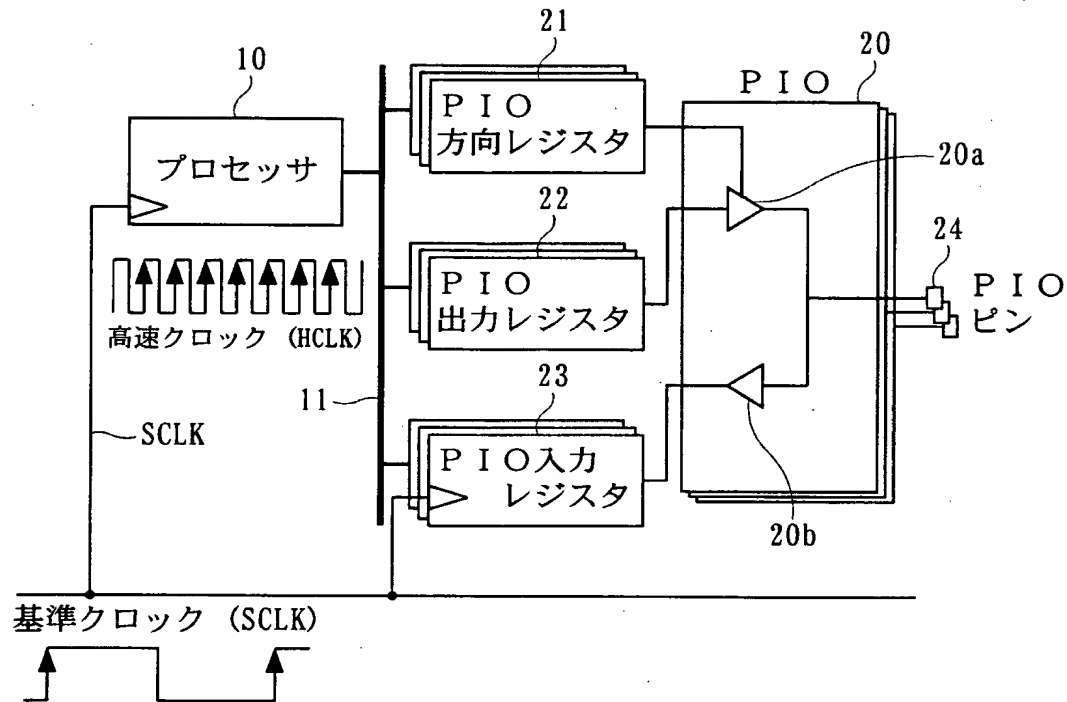
COMMAND 命令実行

INPUT P I O 入力

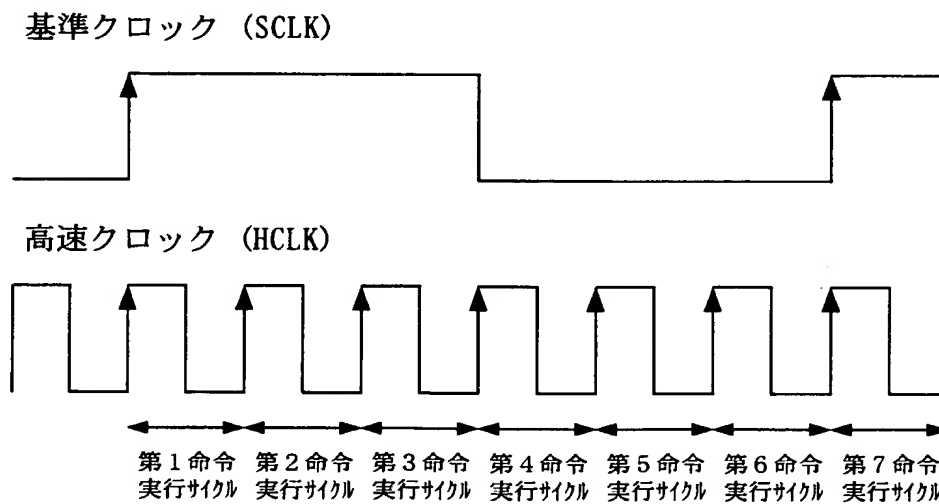
OUTPUT P I O 出力

【書類名】 図面

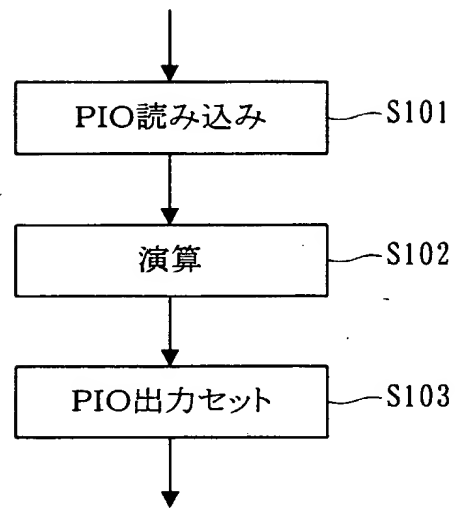
【図 1】



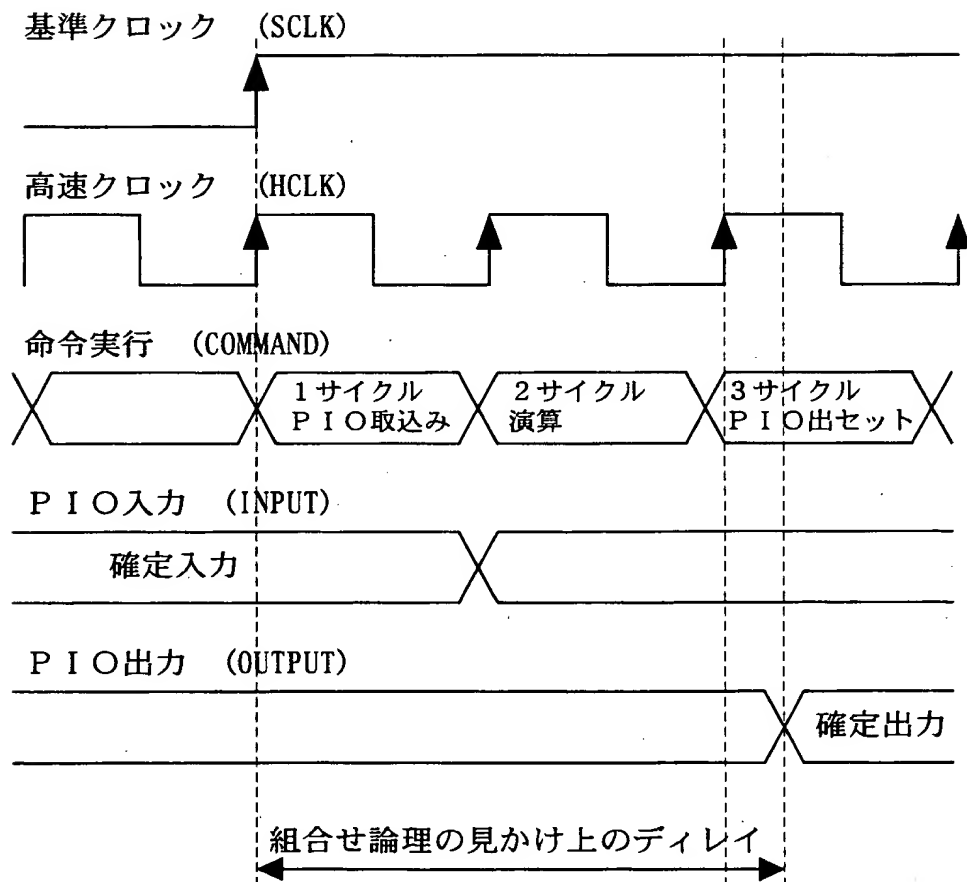
【図 2】



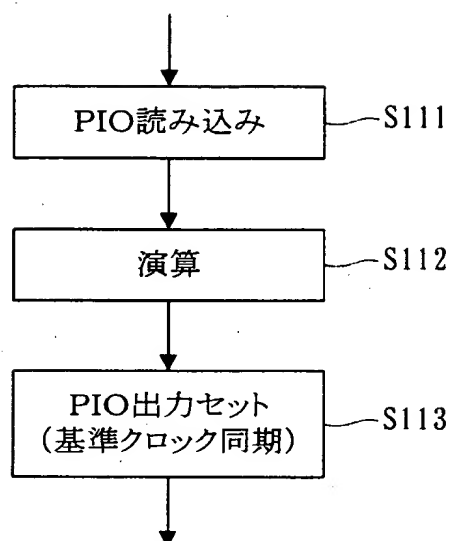
【図 3】



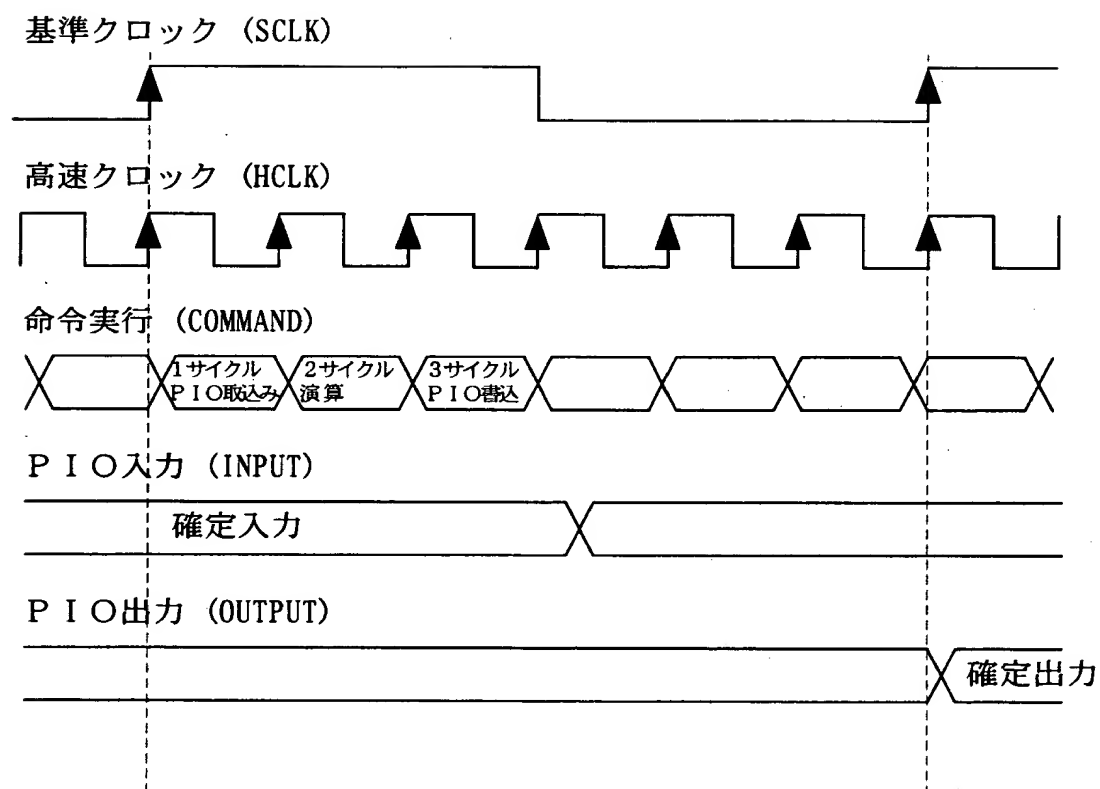
【図 4】



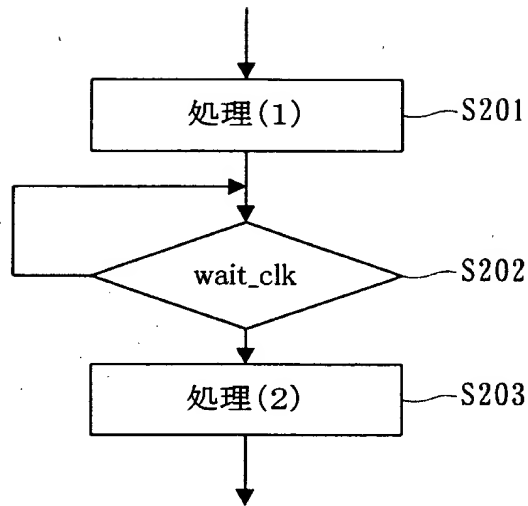
【図5】



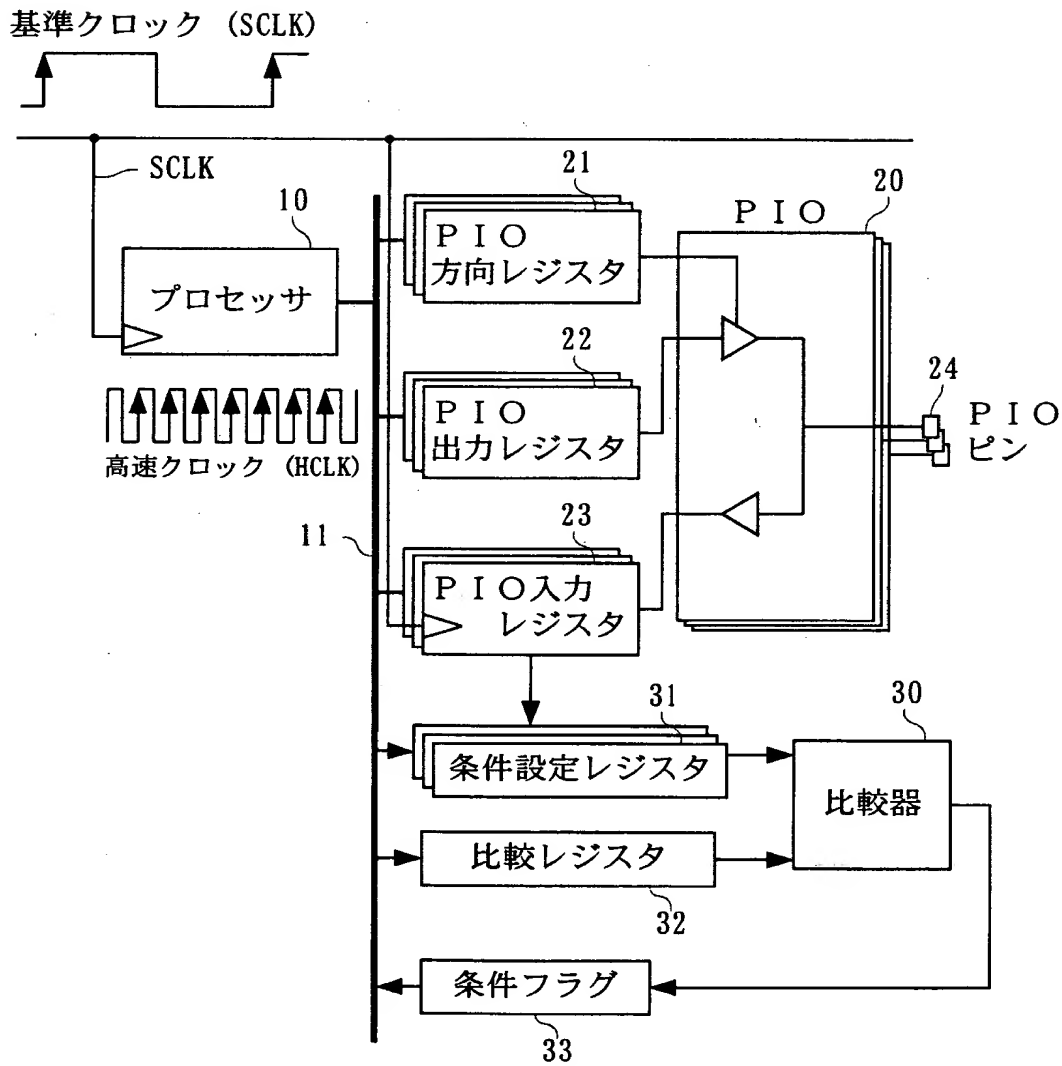
【図6】



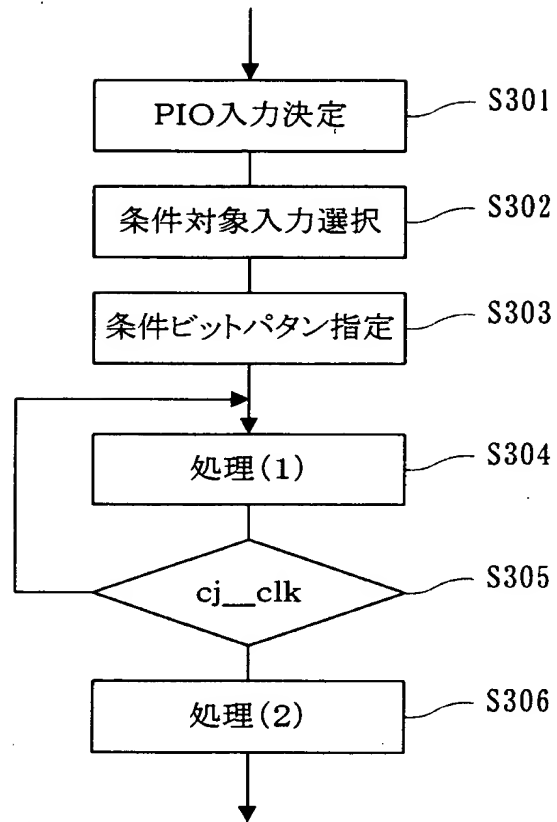
【図 7】



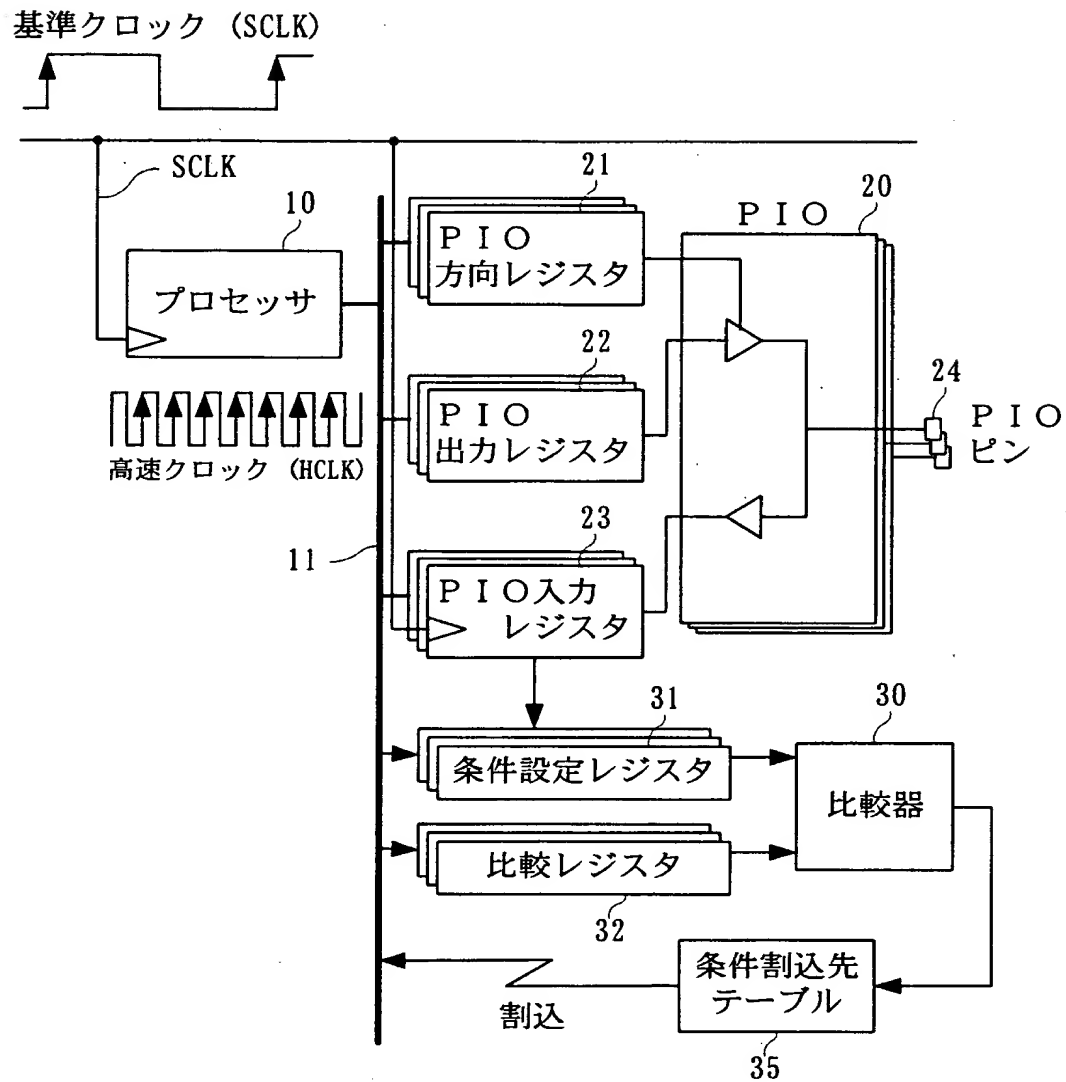
【図 8】



【図 9】



【図10】



【書類名】 要約書

【要約】

【課題】

基準クロックに同期して動作する制御用プロセッサに接続された論理構成との情報のやりとりを正しく行うことができるプログラマブルロジック装置を提供することにある。

【解決手段】

基準クロックを通倍した高速クロックにより動作する制御用プロセッサと、制御用プロセッサに信号情報を入力するための入力手段と、制御用プロセッサの信号情報を信号として出力するための出力手段とを備え、制御用プロセッサが高速クロックにより複数の処理を実行している間に、基準クロックの1サイクル内に、入力手段が基準クロックに同期して取り込んだ信号の値により制御を決定し、制御により出力手段の値を変更することを特徴とする。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [598018409]

1. 変更年月日	1998年 2月10日
[変更理由]	新規登録
住 所	静岡県浜松市鴨江3丁目46番11号
氏 名	株式会社日本コンピュータ